



FONDAMENTI DI INFORMATICA

Lezione n. 7

Esercizi di progetto di circuiti sequenziali

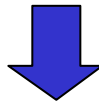


RIEPILOGO TEORICO

CIRCUITI SEQUENZIALI: le uscite dipendono non solo dagli ingressi, ma anche dallo stato interno del sistema.

Necessità di **ELEMENTI DI MEMORIA** (FLIP-FLOP per lettura, scrittura e memorizzazione di un bit)

Problema delle **CORSE CRITICHE**: si utilizzano flip-flop cadenzati (le uscite variano in funzione degli ingressi solo in caso di un dato livello o di una data transizione del segnale di clock)



Reti Sequenziali Asincrone vs. Reti Sequenziali Sincrone



I PASSI DEL PROGETTO

- **Scelta di un modello del circuito (ad es. Mealy) e degli elementi di memoria (ad es. flip-flop SR o JK)**
- **Costruzione del diagramma degli stati del circuito**
- **Traduzione del diagramma degli stati nella tabella delle transizioni del circuito**
- **Codifica degli stati individuati**
- **Costruzione della tabella di transizione del flip-flop scelto, e quindi dell'intero circuito**
- **Minimizzazione logica (attraverso mappe) della funzione d'uscita e delle funzioni che determinano gli ingressi degli elementi di memoria (per il passaggio allo stato successivo)**
- **Disegno finale del circuito**



ESERCIZIO N. 1

Progettare un circuito sequenziale che moltiplichi per tre un numero binario N di lunghezza arbitraria.

Il numero viene acquisito in modo seriale dall'ingresso x a partire dal bit meno significativo.

La cifra che rappresenta $3N$ deve presentarsi serialmente all'uscita z del circuito.

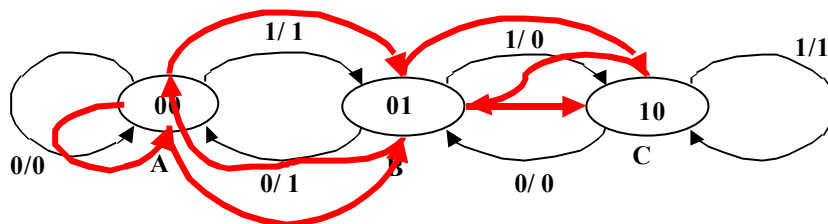


SOLUZIONE ESERCIZIO N. 1

0 0 0 1 0 1 1 0 1 0 ingresso
←
0 0 0 0 1 0 1 1 0 1 ingresso con ritardo (ovvero bit precedente)
0 0 0 1 1 1 0 0 0 0 1 somma.

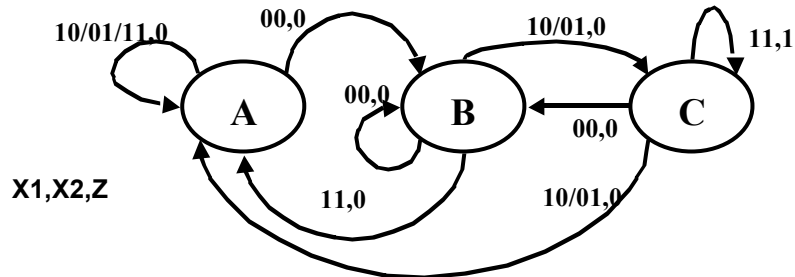
Data una sequenza all'ingresso la sequenza di uscita considera il valore presente (peso 1) e quello precedente (peso 2) e li somma.

Diagramma di stato dell'evoluzione del circuito.



ESERCIZIO N. 2

- Progettare una rete sequenziale sincrona con il compito di verificare l'andamento di due segnali di ingresso X1,X2. Il segnale di uscita Z avrà valore 1 quando per i due segnali di ingresso si verifica una delle seguenti evoluzioni: (00,01,11) oppure (00,10,11). L'uscita Z viene mantenuta inalterata fin tanto che permane la configurazione finale (11).
- Per la realizzazione dell'automa sono sufficienti tre stati.
- Progettare il circuito mediante FF-JK e porte logiche.

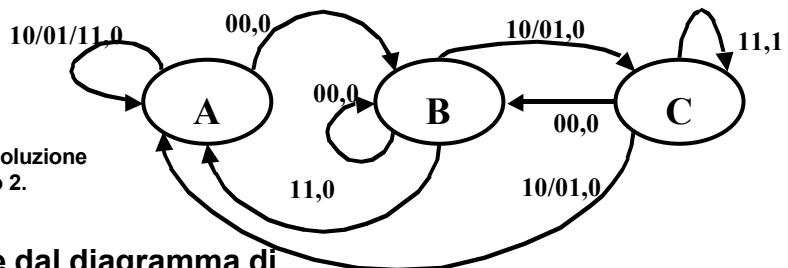
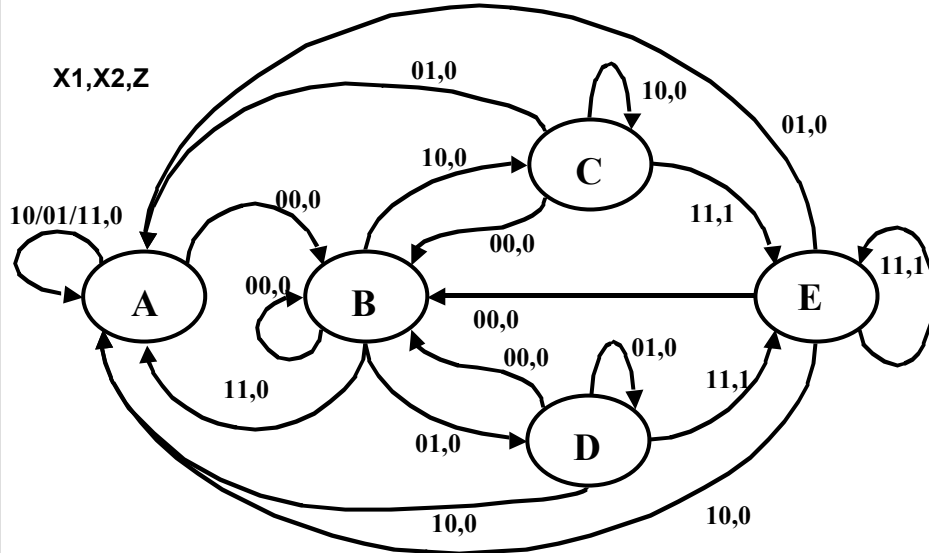


- A:** la sequenza non è ancora iniziata. Si passerà allo stato B quando in ingresso compare 00.
- B:** il primo elemento della sequenza è stato riconosciuto. Si passa a C quando 10 o 01 compaiono agli ingressi.
- C:** il secondo elemento della sequenza è stato riconosciuto. L'uscita va finalmente a 1 quando compare il terzo elemento della sequenza.



ESERCIZIO N. 2b

- Progettare una rete sequenziale sincrona con il compito di verificare l'andamento di due segnali di ingresso X1, X2. Il segnale di uscita Z avrà valore 1 quando per i due segnali di ingresso si verifica una delle seguenti evoluzioni: (00,01,11) oppure (00,10,11). Ogni passo può anche presentarsi più volte consecutivamente. L'uscita Z viene mantenuta inalterata fin tanto che permane la configurazione finale (11).
- Progettare il circuito mediante FF-JK e porte logiche.



Esempio di soluzione
dell'esercizio 2.

A partire dal diagramma di
stato costruito in
precedenza si genera la
tabella riportata a fianco.

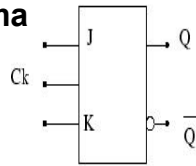
Codifica degli stati: X=F0,F1

A=00 B=01 C=10

	00	01	11	10
A	B,0	A,0	A,0	A,0
B	B,0	C,0	A,0	C,0
C	B,0	A,0	C,1	A,0



Per risolvere il problema si utilizza una rete sequenziale, facendo uso di FF-JK.



J	K	Ck	Q(n+1)
X	X	0	Q(n)
1	0	1	1
0	1	1	0
0	0	1	Q(n)
1	1	1	Q(n)

Transizione	J	K
0 P 0	0	d
0 P 1	1	d
1 P 0	d	1
1 P 1	d	0
1 P d	d	d
0 P d	d	d

La tabella a fianco riporta il valore agli ingressi J e K in funzione della transizione che si vuole ottenere all'uscita dei FF-JK



Se si fossero utilizzati FF-SR la tabella delle transizioni sarebbe stata la seguente

Transizione	J	K	S	R
0 P 0	0	d	0	d
0 P 1	1	d	1	0
1 P 0	d	1	0	1
1 P 1	d	0	d	0
1 P d	d	d	d	0
0 P d	d	d	d	0



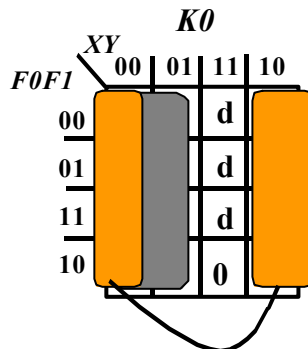
	00	01	11	10	X	Y	F0	F1	F0+	F1+	J0	K0	J1	K1	Z
					0	0	0	0	0	1	0	d	1	d	0
00	01,0	00,0	00,0	00,0	0	0	0	1	0	1	0	d	d	0	0
01	01,0	10,0	00,0	10,0	0	0	1	0	0	1	d	1	1	d	0
10	01,0	00,0	10,1	00,0	0	0	1	1	d	d	d	d	d	d	d
					0	1	0	0	0	0	0	d	0	d	0
					0	1	0	1	1	0	1	d	d	1	0
					0	1	1	0	0	0	d	1	0	d	0
					0	1	1	1	d	d	d	d	d	d	d
					1	0	0	0	0	0	0	d	0	d	0
					1	0	0	1	1	0	1	d	d	1	0
					1	0	1	0	0	0	d	1	0	d	0
					1	0	1	1	d	d	d	d	d	d	d
					1	1	0	0	0	0	0	d	0	d	0
					1	1	0	1	0	0	0	d	d	1	0
					1	1	1	0	1	0	d	0	0	d	1
					1	1	1	1	d	d	d	d	d	d	d



J0

XY	00	01	11	10
F0F1	0	0	0	0
01	0	d	0	d
11	d	d	d	d
10	d	d	d	d

$$J0 = X'YF1 + XY'F1$$



$$K0 = X' + Y'$$



		<i>J1</i>			
		<i>XY</i>			
<i>F0F1</i>		00	01	11	10
00			0	0	0
01			d	d	d
11			d	d	d
10			0	0	0

$$J1 = X'Y'$$

		<i>K1</i>			
		<i>XY</i>			
<i>F0F1</i>		00	01	11	10
00		d			
01		0			
11		d			
10		d			

$$K1 = X + Y$$



		<i>Z</i>			
		<i>XY</i>			
<i>F0F1</i>		00	01	11	10
00		0	0	0	0
01		0	0	0	0
11		d	d		d
10		0	0		0

$$Z = F0XY$$

